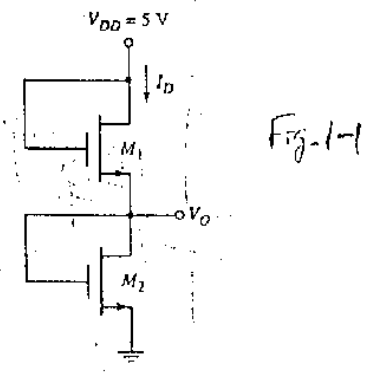


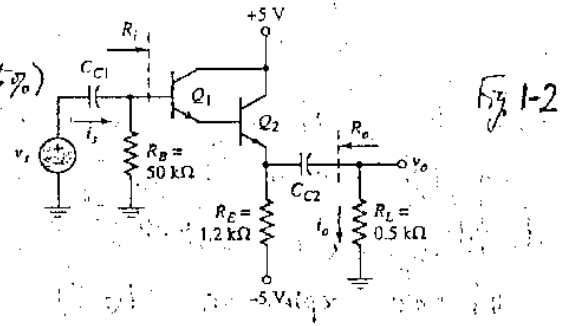
國立中央大學八十七學年度碩士班研究生入學試題卷

所別： 電機工程研究所 ^甲 組 科目： 電子學 共 2 頁 第 1 頁

1. a. Fig. 1-1 中之電晶體參數為 $V_{th} = 0.8V$, $\frac{1}{2}\mu_n C_{ox} = 15 \mu A/V^2$
 若其中 M_1 及 M_2 之 (W/L) 分別為 40 及 20, 試求
 V_{GS1} , V_{GS2} , V_o 及 I_D . (10%)



b. Fig. 1-2 中電晶體之參數為 $\beta_1 = \beta_2 = 75$, 且 $V_{A1} = V_{A2} = \infty$,
 (a) 試求 Q_1 及 Q_2 之 g_m , r_{π} 及 r_o . (5%)
 (b) 試求此電路之電流增益 $A_i = i_o/i_s$. (5%)
 (c) 試求此電路之輸入及輸出阻抗 R_i 及 R_o . (5%)



2. a. (15%) 有一放大器的頻率響應可以 transfer function 表示如下：

$$F(s) = \frac{s(s+10)}{(s+100)(s+25)}$$

請畫出 $|F(s)|$ 大小之 Bode plot. 在 $\omega = 10, 25$, 及 100 rad/s 處, $|F(s)|$ 之 dB 近似值為多少? 並估計此放大器的 3-dB 頻率值.

b. (10%) Fig. 2-1 表示一個包含回授的放大器, 請證明輸出阻抗可表示如下：

$$R_{of} = \frac{R_o}{1 + A\beta}$$

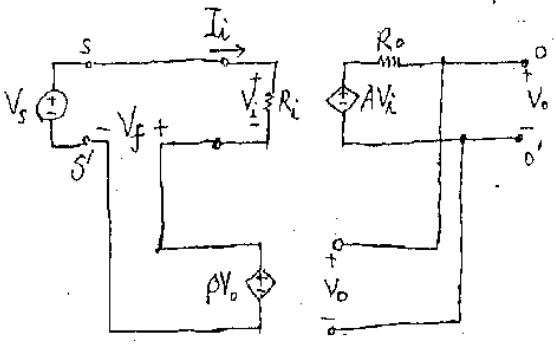


Fig. 2-1

參考用

注：背面有試題

3.

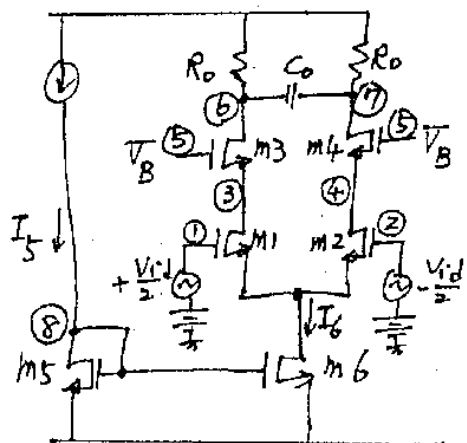


Fig. 3-1

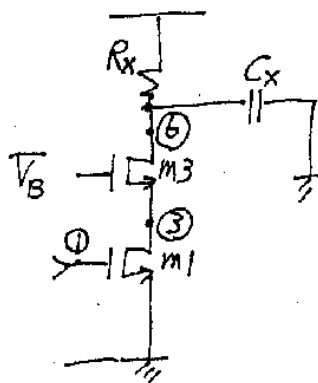


Fig. 3-2

- Fig. 3-2 是 Fig. 3-1 的 differential mode half circuit 或 common mode half circuit? (5%)
- 在 Fig. 3-1 中, 若 $C_o = 1 \text{ pF}$ 則 Fig. 3-2 中之 C_x 值應為多少? (5%)
- 若 MOS 之 r_o (drain-source) 电阻值都是無限大; 但考慮 parasitic capacitances C_{gs} (gate-source) 及 C_{gd} (gate-drain). 試用小信號 model 來畫 Fig. 3-2 之線路 (5%)
- 試由上題 c. 或由觀察法 導出 node ③ 如圖所示之 differential mode 時的 pole expression. (10%)

4. (25分)

- Fig. 4-1 為一 TTL 電路, 請寫出 Y 之真值表 (truth table) 並布林函數 (Boolean function).

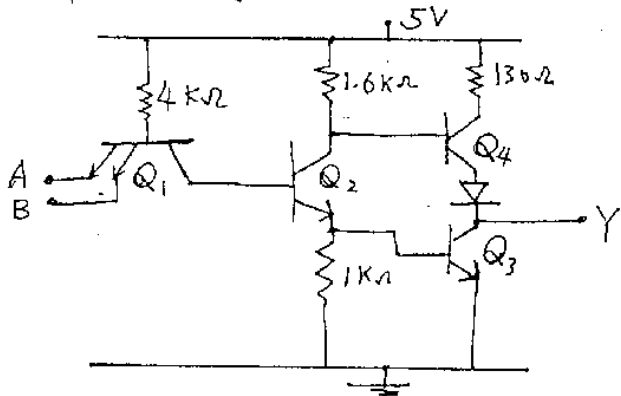


Fig. 4-1

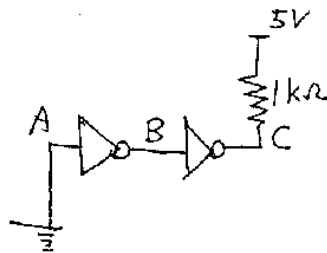
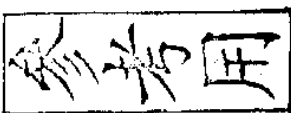


Fig. 4-2

- Fig. 4-2 中之所有 gate 均為典型之 TTL. TTL 中之电阻數值如 Fig. 4-1 所示, 則圖中 A, B, C 三點之電流方向 (以 \leftarrow 或 \rightarrow 表示) 並大小各為何?
- 假設手邊只有一包含 6 個 inverter 之 IC. 已知每一 inverter 之 propagation delay 為 10 ns . 請問如何僅以此 IC 得到 10 MHz 的 clock? 畫出線路圖並 timing diagram 說明頻率計算.