

國立中央大學八十四學年度碩士班研究生入學試題卷

所別：電機工程研究所

組

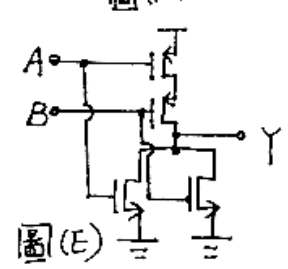
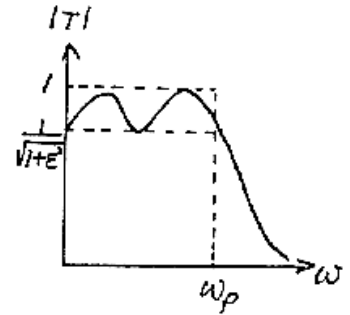
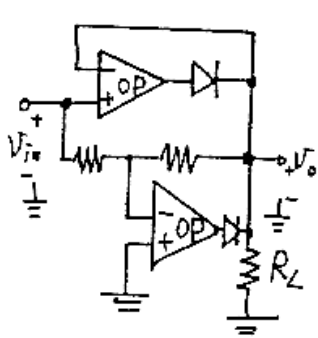
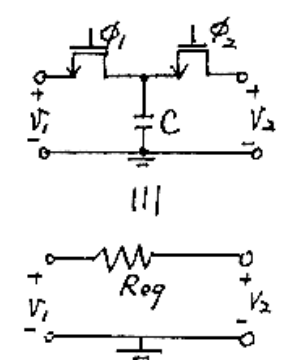
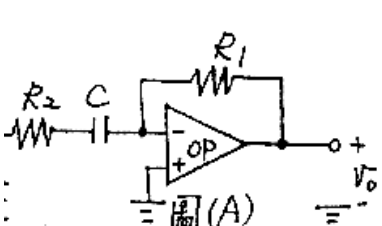
科目：電子學

共 2 頁 第 1 頁

參考用

一、是非題：共 20 小題，每答對一題得 2 分，答錯倒扣 2 分，不答不倒扣；答題時請標明題號並按順序作答。(40 分)

1. 一個放大器的電壓放大率為 100%，電流放大率為 1000/A，則它的功率放大率為 100 dB。
2. 理想的 op amps 的電壓增益為無限大，輸入阻抗為無限大，輸出阻抗為零，CMRR (common mode rejection ratio) 也為無限大。
3. 假設二極體的 $i-v$ 關係式可表示為 $i = I_s (e^{v/V_T} - 1)$ ，則偏壓電流在 $i = 1 \text{ mA}$ 時，二極體的小訊號電阻 r_d 為 25Ω 。假設 $n=1$ ， $V_T = 25 \text{ mV}$ 。
4. 雙載子接面電晶體 (BJT) 當做放大器應用時，是操作在 active mode。所謂 active mode 是指射極-基極接面順偏，集極-基極接面也順偏的操作模式。
5. 對於 n-channel MOSFET，如果臨限電壓為 0.5 伏時，則該電晶體可視為 enhancement-type MOSFET。
6. 降低 CMOS 電路 power dissipation 的方法之一是降低 clock rate。
7. 若 TTL 邏輯輸入端空接 (floating)，實際效果是等於接地。
8. TTL 邏輯具有 Symmetrical Voltage Transfer Function。
9. Schottky TTL 有較快的速度，是因為所有的電晶體都是在 active mode。
10. TTL 的 driving capability (fanout) 與輸出端的 state ('0' or '1') 有極大的關係。
11. 增加 MOS 元件之通道寬度 (width) 反而會使元件的 unity gain frequency (f_T) 降低。
12. 對 MOS 及 BJT transistors 都一樣，只要把偏壓電流增加，電壓增益都會變小 (絕對值)。
13. 在作 MOS current mirror 時，一轉通道長度 (Length) 不能太小，因為要降低 Channel modulation 效應。
14. MOS Common Gate 的接法最大特徵是電流增益 (a_i) = 1，電壓增益 (a_v) > 1 及有比較好的頻率響應。
15. BJT 元件的推動能力比 MOS 元件大，因為在相同電流下 BJT 之 transconductance g_m 比較大。
16. (A) 圖為一低通 (low pass) 濾波器。
17. 在 switched-capacitor 濾波器線路中，利用 (B) 圖來實現電阻。若 ϕ_1, ϕ_2 為週期等於 T 之互疊 = 相 clock，則 $R_{eq} = T/C$ 。
18. (C) 圖為一全波整流器，其中 \pm 為理想 = 極體。
19. (D) 圖為一雙型之 Butterworth 濾波器之振幅 (Magnitude) 響應圖，其中 ω_p 為 passband 頻率。
20. (E) 圖之對應邏輯函數為 $Y = A + B$ 。



國立中央大學八十四學年度碩士班研究生入學試題卷

所別：電機工程研究所

組

科目：電子學

共 2 頁 第 2 頁

參考用

二. (15分)

Fig. 2(a) 是一隻型別 TTL inverter, 我們將此 inverter 連接至一 LED driving circuit. 已知 LED forward-bias 為 1.7 Volts, 電晶體 Q 之 β (Current gain) = 100.

(5分) a. 在 Fig. 2(b) 之線路中之 inverter 如 Fig. 2(a) 所示, 計算通過 LED 之電流 I_c .

(5分) b. 在 Fig. 2(c) 之線路中, 某糊塗學生將 inverter 之輸入端接在 LED driving circuit. 假設 $R_b = 2k\Omega$, 計算 I_c ; 此外, Y 之邏輯準位為何? (0, 1, 或其他).

(5分) c. 同 b., 若 $R_b = 100k\Omega$, 則 I_c 為何? Y 之邏輯準位為何?

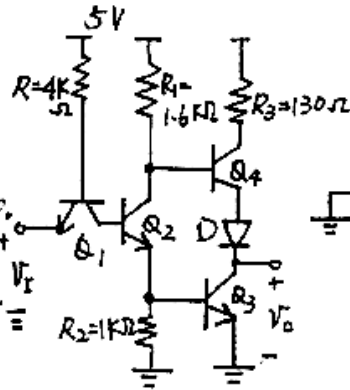


Fig. 2(a)

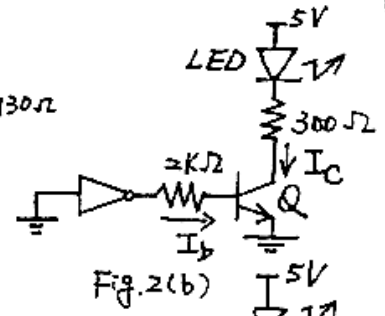


Fig. 2(b)

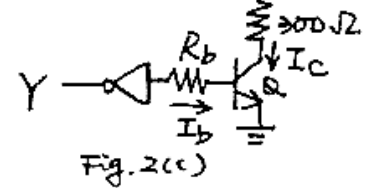


Fig. 2(c)

三. (15分) 參看 Fig. 3

設 Q_1 與 Q_2 為 NMOS 電晶體, 兩者完全相等, 電流電壓關係可表示如下:

In triode region $i_D = k [2(V_{GS} - V_t)V_{DS} - V_{DS}^2]$

In saturation region $i_D = k(V_{GS} - V_t)^2 (1 + \lambda V_{DS})$ 其中 $k = \frac{1}{2} \mu_n C_{ox} (\frac{W}{L})$

假設 $V_t = 2V$, $\mu_n C_{ox} = 20 \mu A/V^2$, $L = 10 \mu m$ 及 $W = 100 \mu m$

忽略通道長度調變效應, 也就是設 $\lambda = 0$. 求 Q_1 的 drain current 及輸出電壓 V_o .

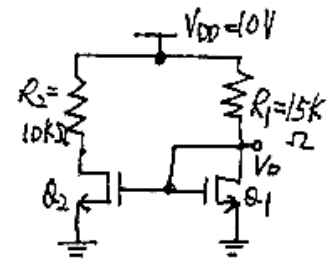


Fig. 3

四. (15分) 參看 Fig. 4

(1分) a. 所給之線路為 Single ended 或 fully differential?

(1分) b. 那個 Output node (⑤ 或 ⑥) 與 Input node ② 有相同之極性 (polarity).

(2分) c. 畫出作 small signal analysis (小信號分析) 用之 circuit schematic (線路圖).

(5分) d. 用 equivalent small signal model 畫出 c. 小題之等效電路.

(5分) e. 用 d. 小題之等效電路求電壓增益的公式.

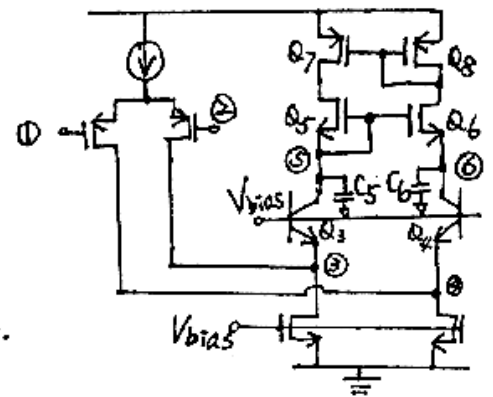


Fig. 4

五. (15分)

(5分) a. 請畫出一個 ROM (Read Only Memory) 之簡單方塊圖結構.

(10分) b. 若一個 4 words x 4 bits 之 ROM 字完成右列之真值表, 請畫出其 NMOS ROM 之電路圖. 其中 W_1, W_0 為 2-bit 輸入地址變數, B_3, B_2, B_1, B_0 為 4 bits 輸出變數.

W_1	W_0	B_3	B_2	B_1	B_0
0	0	0	1	1	0
0	1	1	0	1	0
1	0	1	1	1	0
1	1	1	0	0	1