

一. 是非題: 共 20 小題, 每答對一題得 2 分, 答錯者倒扣 2 分, 不答不倒扣。

答題時請標明題號並按序作答。(40分)

參考用

1. 一崩潰電壓為 12V 的 Zener diode, 其主要崩潰機制 (break-down mechanism) 為 Zener 崩潰。
2. - npn BJT 在主動區 (active region) 工作時之 DC 電流增益為 β , 若工作在飽和區 (saturation region), 則其 DC 電流增益將小於 β
3. 在 NMOS 積體電路中, 基板 (substrate) 應接至最負的電源
4. 共射極 (Common Emitter) 放大器之輸入電壓和輸出電壓有 180° 的相位差
5. 一般而言, MOSFET 的輸入阻抗 (input impedance) 及轉導 (transconductance) 均較 BJT 為高, 故其應用極廣
6. CMOS 放大器 (amplifier) skew rate 之增加會導致 offset voltage 之變大。
7. MOS device 之 aspect ratio W/L (channel width / channel length) 減小可以改善 linearity range (變大)
8. MOS current mirror 之 channel length L 不能用太小是因為太小之 channel length 會造成 MOS device 之 drain resistance (r_o) 不夠大
9. MOS 之 body effect 會因 source-bulk reverse bias 減小而變小
10. 高頻高速類比 MOS 線路都儘量使用小 dimension 之 channel length L 及 channel width W , 此因 unity current gain frequency f_T 與 channel length L 及 channel width W 成反比
11. 理想 op amp 的電壓增益為無窮大, 輸出阻抗為零, CMRR (common-mode rejection ratio) 也為 0
12. Fig. 1 中, 設 op-amp 為理想, V_o 與 V_i 的關係式可表示為 $\frac{V_o}{V_i} = 1 + \frac{R_1}{R_2}$
13. 一階的轉移函數 $T(s) = \frac{V_o(s)}{V_i(s)} = \frac{a_1 s + a_0}{s + \omega_0}$, 對於一階的低通函數, a_1 應為零, 而對於一階的高通函數, a_0 應為零
14. 負回授 (Negative Feedback) 放大率 A_f 若表示為 $A_f = \frac{A}{1 + A\beta}$, 其中 A 為 open loop 增益, β 為 feedback 增益, 為達成負回授, $A\beta$ 值應為正值
15. 設一放大器增益的高頻響應為 $A(s) = \frac{A_M}{1 + s/\omega_H}$, 其中 A_M 為中頻響應時的增益, ω_H 為上 3dB 頻率, 若加上一個中頻響應無阻礙的負回授增益 β 時, 則回授增益可表示為 $A_f = \frac{A_M \beta}{1 + s/\omega_{Hf}}$ 其中 $A_{Mf} = A_M / (1 + A_M \beta)$ 及 $\omega_{Hf} = \omega_H / (1 + A_M \beta)$
16. Dynamic RAM 需要 refresh circuit, 故整體而言其線路較 static RAM 複雜, 密度也較低
17. 低供壓 CMOS IC 為現今之趨勢, 降低供壓除了可降低功率更可提高速度
18. CMOS 邏輯之輸入端若空接 (floating), 實際效果等於接地
19. Fig. 2 之線路由 TTL 74 系列組合而成, 輸出 Y 永遠為 "1", 完全不受輸入 X 之影響
20. Open-collector TTL 提供 wired-AND 功能, 亦即允許不同 gate 之 output 直接相接

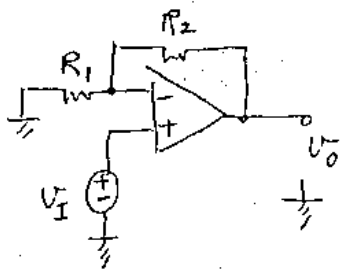


Fig. 1

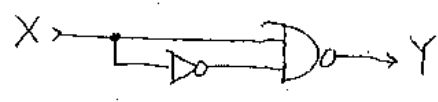


Fig. 2

5502-1

二. (15分) 試求出 Fig. 3 放大器之偏壓, 並計算其 R_{in} , R_{out} 及 $A_v = \frac{V_o}{V_i}$

三. Fig. 4 是一 high gain 之 fully differential CMOS 放大器 (amplifier).

(3分) a. 試畫 common mode 之 half circuit (務必標明 Fig. 4 給之 transistors)

(3分) b. 試畫 differential mode 之 half circuit (務必標明 Fig. 4 給之 transistors)

c. PMOS 及 NMOS 之 channel modulation factors 分別為 λ_p 及 λ_n . 配合 Fig. 4 圖

給之 bias current I , 各 transistor 之 aspect ratio W/L , 及 PMOS, NMOS 之 $\mu_p C_{ox}$, $\mu_n C_{ox}$ 求以下 Small signal parameters 之 design equations

(3分) 1. transconductance G_m

(3分) 2. output impedance R_o

(3分) 3. Voltage gain A_v

四. (7分) a. 如 Fig. 5 所示, 證明 Miller's theorem

$$Y_1 = Y(1-K)$$

$$Y_2 = Y(1-\frac{1}{K})$$

(8分) b. 利用 Miller's theorem, 計算 Fig. 6 中, 高頻響應時上 3dB 頻率 f_H 值為多少? 設 $V_o = \infty$, $R_L = 10k\Omega$, $R_D = 5k\Omega$, $C_{gs} = C_{gd} = 1pF$, $R = 10k\Omega$, $R_{in} = 420k\Omega$, $g_m = 4mA/V$

(註: 可用合理的近似法, 先求出 $K = \frac{V_o}{V_i}$ 值)

五. 如 Fig. 7, 3個 TTL inverter 連接成環形線路, 輸出端之 propagation delay 為 8ns (high-to-low) 與 12ns (low-to-high). 假設當 $t=0$, A 處之電壓由 low 升為 high. 試

(3分) a. 畫出 A, B, C 處之 timing diagram (至一週期止)

(3分) b. 計算其振盪週期

(3分) c. 計算其 duty cycle = $\frac{\text{duration of high in a period}}{\text{period}}$

(3分) d. 若要得到頻率減半的訊號, 可否以 6個相同 inverter 串連成環狀求得?

(3分) e. 因 d. 可否如 Fig. 8, 串連一 D-Flip 在其後而求得.

