

國立中央大學八十七學年度碩士班研究生入學試題卷

所別: 電機工程研究所 甲組 科目: 數位系統 共 2 頁 第 1 頁

1. (15%)

- (a) 將 $A=35$ (10為底) 轉換為8位元 (bit) 2進位之表示。將 $B=-26$ (10為底) 轉換為8位元2的補數 (two's complement) 及符號-大小 (sign-magnitude) 方式表示。(6%)
- (b) 以2的補數之數字系統計算出 $A+B$ 。過程要完整。(4%)
- (c) 若 V 等於1時表示 n 位元2的補數加法 $S=A+B$ ($A=a_{n-1}a_{n-2}\dots a_1a_0$, $B=b_{n-1}b_{n-2}\dots b_1b_0$, $S=s_{n-1}s_{n-2}\dots s_1s_0$) 有溢位 (overflow) 發生。請寫出 V 之邏輯表示式並寫出推導過程。(5%)

2. (20%)

- (I) 一個二進位系統有4位元, 分別是 $A_3A_2A_1A_0$ 及一個輸出為 $f(A_3, A_2, A_1, A_0)$ 。當輸入信號1之個數比0之個數少時, 輸出為1否則為0
 - (a) 寫出此系統之真值表 (Truth Table)。(3%)
 - (b) 將 f 以 sum-of-minterms (canonical sum of product) 的方式表之。(3%)
- (II) 若 $A_3A_2A_1A_0$ 代表BCD(binary coded decimal) 碼如表二所示。當輸入信號1之個數比0之個數少或等於時, 輸出為1否則為0
 - (c) 寫出此系統之真值表 (Truth Table)。(3%)
 - (d) 以卡諾圖 (Karnaugh map) 法將 f 以最簡之 sum-of-product 的方式表之。(3%)
 - (e) 將 (d) 之 f 以儘量少之 NAND 邏輯閘實現其電路並繪出。(5%)
 - (f) 每一 NAND 邏輯閘之延遲時間 (delay time) 為 $n \cdot T_0$, n 為邏輯閘輸入接腳。計算 (e) 之邏輯電路之延遲時間。(3%)

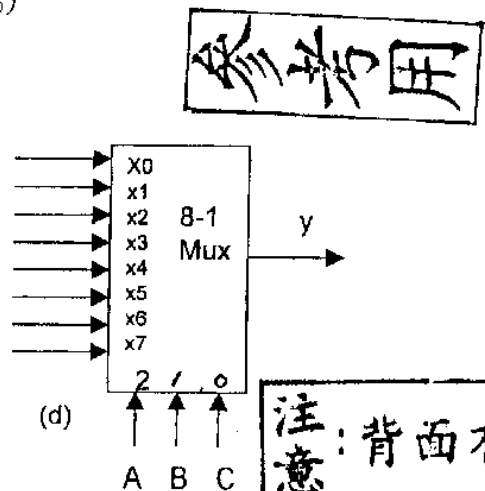
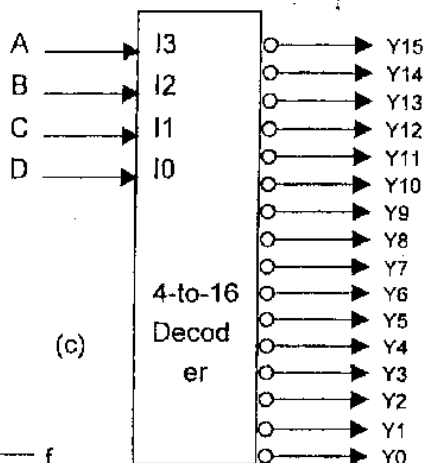
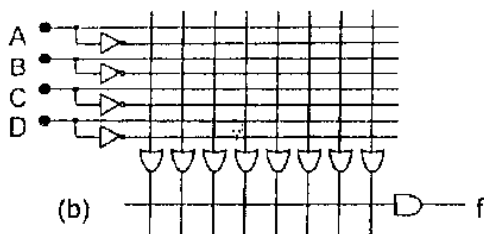
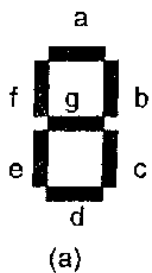
表二BCD碼

0: 0000	5: 0101
1: 0001	6: 0110
2: 0010	7: 0111
3: 0011	8: 1000
4: 0100	9: 1001

3. (35%)

以下列方式設計 7-Segment BCD Code Display Decoder 其中 f segment 的解碼電路, (ABCD) 為輸入由高位元到低位元的順序。

- (a) 畫出 f segment 的真值表 (Truth Table) 與卡諾圖 (K-Map) (7%)
- (b) 找出最小之 Product-of-sum (POS) 的表示法並使用 NOR Gates 完成設計 (7%)
- (c) 使用圖 (b) 的 PLA 完成設計 (7%)
- (d) 使用圖 (c) 的 Decoder 與適當的 Gates 完成設計 (7%)
- (e) 使用圖 (d) 的 Multiplexer 與適當的 Gates 完成設計 (7%)



勿勿田

注意: 背面有試題

國立中央大學八十七學年度碩士班研究生入學試題卷

所別: 電機工程研究所 甲組 科目: 數位系統 共 2 頁 第 2 頁

4. (15%) 設計一個 3 位元同步計數器/偽亂數產生器。當輸入信號 $x=0$ 時，此電路功能為「遞減計數器 (down-counter)」；當輸入信號 $x=1$ 時，則依下功能表產生亂數。

Present State	Next state	
	Input $x=0$ (Binary down-counter)	Inputs $x=1$ (Pseudo-random number generator)
0	7	5
1	0	0
2	1	4
3	2	1
4	3	3
5	4	7
6	5	2
7	6	6

(a) (3%) 畫出此電路的 State diagram

(b) (12%) 利用 3 個 D flip-flop 及適當的 Logic gate 來設計此電路。使用 Karnaugh map 來簡化電路並寫出詳細設計過程。

5. (15%) 利用 synchronous sequential circuit 來設計一個連續信號檢測器。當輸入位元有連續三個"1"時，檢測電路輸出"1"；其餘時間檢測電路輸出"0"。範例如下：

Clock cycle	t0	t1	t2	t3	t4	t5	t6	t7	t8	t9	tn					
Input bit stream	0	1	1	1	0	0	1	0	0	1	1	0	0	0	0	1	1
Output bit stream	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0

(a) (7%) 畫出此電路的 State diagram 及 state table

(b) (8%) 利用 1 個 D flip-flop, 1 個 T flip-flop 及適當的 Logic gate 來設計此電路。使用 Karnaugh map 來簡化電路並寫出詳細設計過程。