

參
考
用

一. 是非題：40分(每題2分, 答錯倒扣2分)

1. 在室溫時, 一個平衡的 P-型半導體中含有許多電洞, 但呈電中性。
 2. 就一個在飽和區操作的 NPN BJT 而言, 當 i_c 為零時, 其 V_{CE} 亦為零。
 3. MOSFET 的 $g_m \propto \sqrt{I_D}$, 故其基本主動(電流源)負載 CS 放大器的電壓增益與 $\sqrt{I_D}$ 成反比。
 4. 一個 BJT 的 $\beta_{dc} \equiv \beta_{FE}$ 值, 隨元件溫度上升或其 I_C 值增加而遞增。
 5. NMOS 元件在其次臨限區操作時的 $i_D - V_{GS}$ 特性非常類似於 NPN BJT 在主動區的 $i_c - V_{BE}$ 特性。
 6. 增加 MOS 晶體的 w/L aspect ratio 會同時增加 input voltage 的 Linearity range。
 7. 增加 MOS 晶體的寬度 w , 會同時增加 MOS 晶體的 unity current gain frequency f_T 。
 8. 減小 MOS 工作放大器的 offset V_{OS} 的一有效方法是用小的 DC over drive $V_{GS} - V_T$ 。
 9. Bias current 增加會使 MOS 放大器的增益 (gain) 變更大。
 10. 增加 Bias current 的情況下, MOS 晶體的 Drain-Source resistance r_o 及 BJT 的 Collector-Emitter resistance r_c 都一樣會變小。
 11. 使用 Depletion NMOS 為邏輯電路的負載 (Depletion Load) 的缺點為 $V_{OH} \neq V_{DD}$ 。
 12. CMOS 的 Dynamic Power Dissipation (PD) 與 V_{DD} 成正比。
 13. 在不改變 CMOS 電路的參數與結構下降低 V_{DD} 將會提高速度, 因為輸出電壓的 Swing 也跟著降低。
 14. TTL 的輸入端空接時, 可視為 Logic high。
 15. ECL 之所以較 TTL 速度快, 是因為 ECL 內之 BJT 不會進入 Saturation 區工作。
- 以下五題使用同一條件：我們希望設計一線性, 非時間變量 (Linear, Time Invariant) 之電路, 其脈衝反應 (Impulse Response) 為

$$h(t) = \frac{\sin t}{t}$$

16. 此一電路為一帶通濾波器。
17. 若輸入信號為 $0.5 \sin(0.5)t$, 其輸出不為零。
18. 若輸出信號為 $> 1 \sin(2.1)t$, 其輸出為零。
19. 此電路脈衝反應之能量為無窮大。
20. 此電路為一理想電路, 亦即我們根本無法設計一電路, 使其脈衝反應為 $h(t) = \frac{\sin t}{t}$ 。

參考用

二. 計算題：60分 (每題 15分)

1. 如圖1所示之 CMOS 放大器, Q_2 與 Q_3 匹配, $V_{DD} = 10V$, $V_{tn} = 1V$, $|V_{tp}| = 1V$, $K_{n0} = \frac{1}{2} \mu_n C_{ox} (W/L) = 100 \mu A/V^2$, $|V_A| = 100V$, $I_{REF} = 100 \mu A$.

- (a) 試繪出 Q_2 之 $i_D - V_{SD}$ 圖。(3分)
- (b) 試繪出 $v_O \pm v_i$ 轉移曲線圖。(4分)
- (c) 試估算本放大器的小訊號電壓增益。(4分)
- (d) 試估算本放大器的輸出阻抗。(4分)

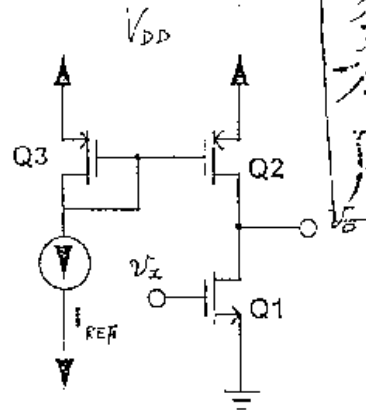


Figure 1

- 2. (a) 請求出圖2電路的轉換函數 $V_O(s)/V_i(s)$ 及其零點、極點。(10分)
- (b) 請問此 RC 電路為一低通、帶通、高通或全通濾波器那一種? 註: 運算放大器為一理想放大器。(5分)

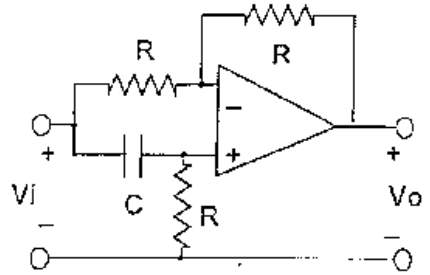


Figure 2

- 3. (a) 指出 dominant pole 及 first non-dominant pole 的 node numbers。(2分)
- (b) 用 Small Signal Circuit models 導 first non-dominant pole 的 analytical equation。(13分)

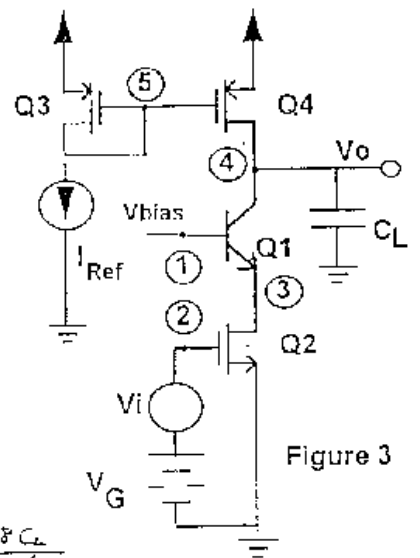


Figure 3

4. 圖 4a 所示為一標準 CMOS Inverter

- (a) 試問此一 Inverter 推動同樣之 Inverter 的 Delay 為何?(3分)
- (b) 試問此一 Inverter 推動 $C_L = 30pF$ 的 Delay 為何?(2分)
- (c) 如圖 4b, 若以漸次放大的數級來推動, 則可提高速度, 試問圖 4b 中的 Delay 為何? ($k=4$, $C_L = 30a^k C_0$) (4分)
- (d) 以此類推, k 及 a 分別為何時 Delay 最少?(6分)

$$* \mu_n C_{ox} = 2 \mu_p C_{ox} = 20 \mu A/V^2, \quad t_{pHL} = \frac{0.8 C_L}{K_n V_{DD}}, \quad t_{pLH} = \frac{0.8 C_L}{K_p V_{DD}}$$

$$C_0 = C_{g0} \times W \times L, \quad C_{g0} = 1 fF/\mu m^2$$

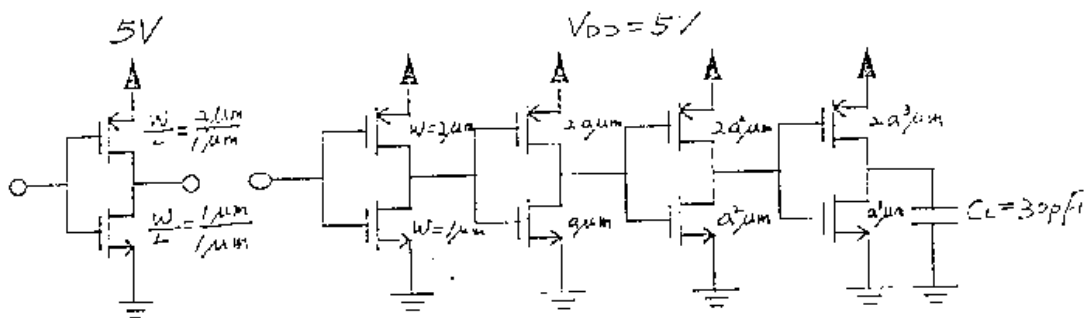


Figure 4a

Figure 4b

* $L = 1 \mu m$