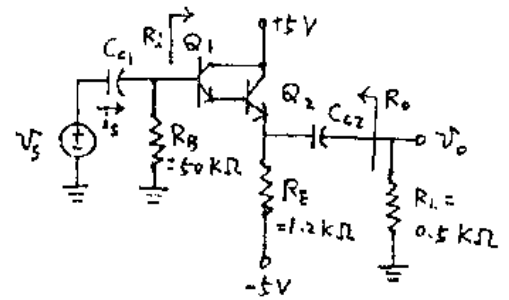


國立中央大學八十六學年度碩士班研究生入學試題卷

所別：電機工程研究所 甲子組 科目：電子學 共 2 頁 第 1 頁

1. 右圖中電晶體的參數為 $\beta_1 = \beta_2 = 75$, (15%) $V_{A1} = V_{A2} = \infty$. (a) 計算 Q_1 及 Q_2 之小信號參數 g_m , r_π 及 r_o , (b) 計算此電路之小信號電流增益 $A_i = i_o/i_s$, (c) 計算此電路之輸入及輸出電阻 R_i 及 R_o .

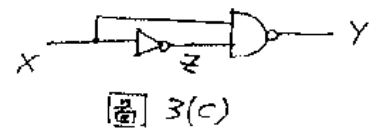
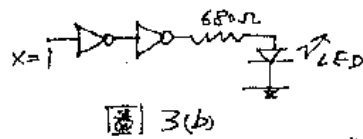
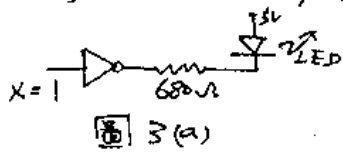


2. 比較共源極 (CS), 共汲極 (CD) 及共閘極 (CG) MOSFET 放大器其電壓、電流 (%) 增益及輸入、輸出電阻, 並說明其應用場合。

- (10%) 3. 下列各圖中之 gate 均為典型之 TTL.

- (5) (a) 圖 3(a) 及圖 3(b) 中所用之元件均相同, 假設 LED 通過之電流愈大, 則亮度愈強, 何種接法之 LED 較亮? 請說明。

- (5) (b) 圖 3(c) 中, 假設輸入訊號 X 為 10 MHz 之方波, 每一 gate 的 propagation delay 為 10 nsec, 則 Y 之波形為何? 請畫出 X, Y, Z 之 timing diagram 說明之。

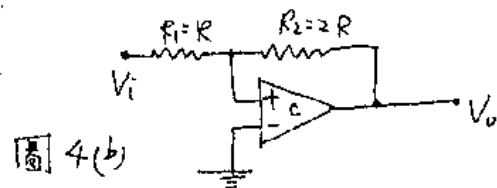
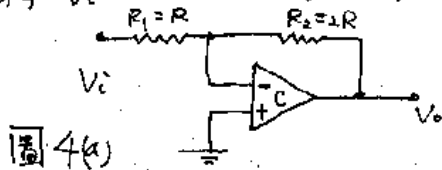


- (15%) 4. 在下列各小題中, 請描述 output V_o 與 input V_i 之關係, 並畫出 V_i, V_o 之波形及 timing 關係, 其中 $f_0 = 1 \text{ kHz}$, $A = L_+ = -L_-$, L_+ : positive saturation level, L_- : negative saturation level, $R = 10 \text{ k}\Omega$, C 為一典型之 operational amplifier.

- (5) (a) 將 $V_i = \frac{A}{f_0} \cos 2\pi f_0 t$ 輸入圖 4(a).

- (5) (b) 將 $V_i = \frac{A}{f_0} \cos 2\pi f_0 t$ 輸入圖 4(b).

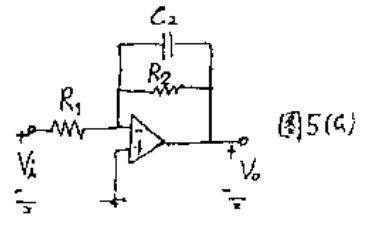
- (5) (c) 將 $V_i = A \cos 2\pi f_0 t$ 輸入圖 4(b).



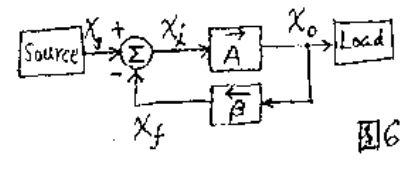
國立中央大學八十六學年度碩士班研究生入學試題卷

所別： 電機工程研究所 ^{甲、乙} 組 科目： 電子學 共 2 頁 第 2 頁

5. (6%) (a) 圖 5(a) 中含一理想的 op amp, 證明 $\frac{V_o}{V_i}$ 為一低通轉移函數 (low-pass transfer function). 如果 $R_1 = 1k\Omega$, $R_2 = 100k\Omega$, $C_2 = 1nF$, 求直流增益 (dc gain) 及 3-dB 頻率.
 (4%) (b) 簡單解釋下列有關 op amp 的術語. (1) slew rate (SR), (2) input offset voltage (V_{os}).



6. 圖 6 為一迴授電路示意圖.
 (4%) (a) 設閉迴路增益 $A_f = \frac{X_o}{X_i} = f_1(A, \beta)$, 請推導出 f_1 為 A, β 之函數的表示式. 如果 $A\beta \gg 1$, 試化簡 f_1 , 並說明其物理意義.
 (3%) (b) 若 $x_f = f_2(A, \beta) \cdot x_o$, 請推導出 f_2 為 A, β 之函數的表示式. 如果 $A\beta \gg 1$, 試化簡 f_2 , 並說明其物理意義.
 (8%) (c) 設低頻時 $A(j\omega)\beta = A_o\beta \gg 1$, β 為常數; 在 ω_1 時, $A(j\omega_1)\beta = 1 \times e^{-j\theta}$, 其中 $\theta = 180^\circ - \text{phase margin}$, 畫出迴路增益 $A\beta$ 的 Bode plot, 並標出 gain margin 及 phase margin. 若 phase margin = 45° , 在 ω_1 時, $A_f(j\omega_1)$ 的大小可化簡為 $|A_f(j\omega_1)| = k_1 \times \frac{1}{\beta}$, k_1 大於 1 嗎? 其值為何?



7. 用 Fig. 7, 試簡要證明以下題目之正確與否

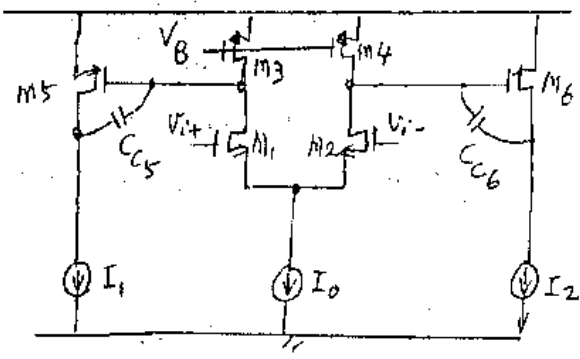


Fig. 7

- (3%) a. 增加 input devices M_1 及 M_2 Gate-source 电压 V_{GS} , 則 offset 也跟着变大
 (2%) b. Slew rate 的增加 也会使 op-amp 的 unity gain frequency ω_u 加大

8.

- (5%) a. 試畫出 Fig. 8a 之 differential mode half circuit
 (15%) b. 若 differential mode half circuit (上小題 8a), 加一电压 V_x 求其 output impedance $R_o = \frac{V_x}{i_x}$ 如 Fig 8b 所示

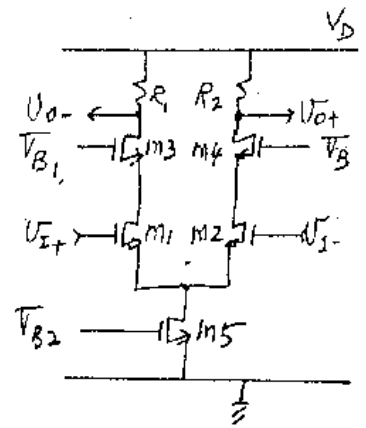


Fig. 8a

試用 small signal models 畫出 differential mode half circuit (上小題 8a) 的 small signal circuit, 並導出 $R_o = \frac{V_x}{i_x}$.

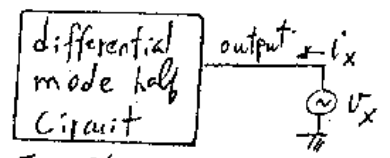


Fig. 8b